

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307563

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H01L 21/60
H01L 21/60

(21)Application number : 10-107617

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 17.04.1998

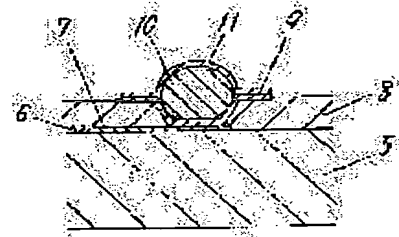
(72)Inventor : SAWARA RYUICHI
SHIMOISHIZAKA NOZOMI
NAKAMURA YOSHIFUMI
KUMAGAWA TAKAHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, in which the thermal stresses caused by the mismatch between the coefficients of linear thermal expansion of a semiconductor element and a resin circuit board can be relieved by means of an insulating resin layer provided on the semiconductor element, and a method for manufacturing the device.

SOLUTION: Since a semiconductor device is provided with a metal wiring layer 7 which extends from a semiconductor element electrode 6 on a semiconductor element 5, an insulating resin layer 8 and a projecting electrode formed on the element 5 and wiring layer 7, the thermal stress applied to the projecting electrode due to the mismatch between the coefficients of linear thermal expansion of the semiconductor device and resin circuit board can be relieved.



LEGAL STATUS

[Date of request for examination] 21.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3430916

[Date of registration] 23.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by to have the metal coat which connects electrically the metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, the insulating resin layer formed on said semiconductor device and the metal wiring layer, the metal layer which connected said metal wiring layer with said insulating resin layer front face electrically, the projection member formed on said metal layer, and the front face and said metal layer of said projection member.

[Claim 2] The semiconductor device according to claim 1 characterized by a projection member being a metal ball.

[Claim 3] The semiconductor device according to claim 1 characterized by a projection member being metal plating.

[Claim 4] The semiconductor device according to claim 1 characterized by a projection member and an insulating resin layer consisting of the same resin of a low elastic modulus.

[Claim 5] The semiconductor device which is made to expose a part of metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, and said metal wiring layer, is formed on said metal wiring layer, and is characterized by having the metal layer which connects electrically the metal wiring layer exposed from the insulating resin layer with a projection, and the front face and said insulating resin layer of said projection resin at a front face.

[Claim 6] The process which forms the metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, The process which forms an insulating resin layer on said semiconductor device and said metal wiring layer, The process at which opening is formed in said insulating resin layer, and said a part of metal wiring layer is exposed, The manufacture approach of the semiconductor

device characterized by consisting of the process which forms the metal layer which connects said exposed metal wiring layer and said insulating resin layer front face, a process which forms projection resin on said opening, and a process which forms the metal coat which connects electrically the front face and said metal layer of said projection resin.

[Claim 7] The process which forms projection resin is the manufacture approach of the semiconductor device according to claim 6 characterized by being the process which applies a photopolymer all over the semiconductor device in which opening was formed, and forms projection resin with a photographic method.

[Claim 8] The process which forms projection resin is the manufacture approach of the semiconductor device according to claim 6 characterized by being the process which applies insulating resin all over the semiconductor device in which opening was formed, and forms projection resin by the sandblasting method.

[Claim 9] The process which forms projection resin is the manufacture approach of the semiconductor device according to claim 6 characterized by being the process which applies insulating resin all over the semiconductor device in which opening was formed, and forms projection resin by the etching method.

[Claim 10] The process which forms projection resin is the manufacture approach of the semiconductor device according to claim 6 characterized by being the process which forms a metal projection electrode by supplying soldering paste or flux to opening, and carrying and fusing a solder ball.

[Claim 11] The manufacture approach of the semiconductor device characterized by to consist of a process which forms the metal layer which connects the process which forms the metal wiring layer a wiring layer extended from the electrode of a semiconductor device and said semiconductor device, the process which apply photosensitive insulation resin on said semiconductor device and said metal wiring layer, and form projection resin with a photographic method, the process which form opening which repeats a photographic method and reaches said metal wiring layer at said insulating resin layer, and said metal wiring layer and said projection resin.

[Claim 12] The manufacture approach of the semiconductor device according to claim 11 characterized by forming a projection electrode and opening by the sandblasting method.

[Claim 13] The manufacture approach of the semiconductor device according to claim 11 characterized by forming a projection electrode and opening by the etching method.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention protects the integrated-circuit section of a semi-conductor, and secures electric connection of an external device and a semiconductor device, and relates to the semiconductor device which enabled further highest-density mounting, and its manufacture approach. And with the semiconductor device of this invention, the miniaturization of information communication equipment, the electronic equipment for office work, etc. is made easy.

[0002]

[Description of the Prior Art] In recent years, a miniaturization, densification, and improvement in the speed come to be required of a semiconductor device and its manufacture approach with the miniaturization of electronic equipment, and advanced features, for example, the mounting technology using so-called flip chip bonding called C4 (Controlled Collapse Chip Connection) is developed.

[0003] It explains making a sectional view reference hereafter about the semiconductor device called conventional C4 and its manufacture approach.

[0004] Drawing 4 is the sectional view of the semiconductor device using the mounting technology called conventional C4. For 1, as for a semiconductor device electrode and 3, in drawing 4, a semiconductor device and 2 are [a metal layer and 4] projection electrodes.

[0005] As shown in drawing 4, the conventional semiconductor device is the structure where the metal layer 3 was formed on the semiconductor device electrode 2 on a semiconductor device 1, and the projection electrode 4 was formed on said metal layer.

[0006] Next, the manufacture approach of the conventional semiconductor device is explained, referring to the sectional view of drawing 4 similarly.

[0007] Two or more semiconductor devices 1 are first formed on a semi-conductor wafer

(not shown), and two or more semiconductor device electrodes 2 are formed on each semiconductor device 1. And the metal layer 3 is formed all over a semi-conductor wafer by the sputtering method. Next, plating resist is applied and opening of the location which is equivalent to the semiconductor device electrode 2 with a photographic method is carried out. Next, metals, such as Sn (tin) and Pb (lead), are formed on the metal layer 3 of an opening location by the electrolysis galvanizing method. Etching removes the metal layer 3 by making a plating metal into a resist after removing plating resist. Next, the projection electrode 4 is formed by applying and carrying out a reflow of the flux all over a semi-conductor wafer.

[0008] The conventional semiconductor device is manufactured by the above methods of construction.

[0009]

[Problem(s) to be Solved by the Invention] However, in said conventional semiconductor device, since the heat stress by the inequality of the heat ray expansion coefficient of the resin circuit board and a semiconductor device occurred to the projection polar zone when it carries a semiconductor device in the resin circuit board, closure resin was poured into the gap of the resin circuit board and a semiconductor device, and the heat stress concerning the projection polar zone had to be eased. In this case, the gap of a semiconductor device and the resin circuit board was narrow, and in order that impregnation of closure resin might close each semiconductor device according to an individual very difficult, it had the technical problem that productivity was bad. In order to damage the resin circuit board furthermore even if it is the case where it is able to remove that it is difficult to remove a semiconductor device with failure and a defect from the resin circuit board, and temporarily, since adhesion with closure resin and the resin circuit board is firm when failure of a semiconductor device and a defect are discovered after a resin seal, re-loading of the semiconductor device to the resin circuit board is impossible, and had a technical problem on productivity and a production cost.

[0010] It aims at offering the semiconductor device which can ease the heat stress by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board by preparing an insulating resin layer on a semiconductor device, and its manufacture approach, this invention solving said conventional technical problem, and using repair as possible paying attention to the productivity of a semiconductor device.

[0011]

[Means for Solving the Problem] In order to attain this purpose, the semiconductor device of this invention The metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, and the insulating resin layer

formed on said semiconductor device and the metal wiring layer, It is the semiconductor device equipped with the metal coat which connects electrically the metal layer which connected said metal wiring layer with said insulating resin layer front face electrically, the projection member formed on said metal layer, and the front face and said metal layer of said projection member. Moreover, a projection member is the semiconductor device which is a metal ball. Moreover, a projection member is the semiconductor device which is metal plating. Moreover, it is the semiconductor device with which a projection member and an insulating resin layer consist of the same resin of a low elastic modulus. [0012] Furthermore, this invention exposes a part of metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, and said metal wiring layer, is formed on said metal wiring layer, and is the semiconductor device equipped with the metal layer which connects electrically the metal wiring layer exposed from the insulating resin layer with a projection, and the front face and said insulating resin layer of said projection resin at the front face.

[0013] The process which forms the metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device in the manufacture approach, The process which forms an insulating resin layer on said semiconductor device and said metal wiring layer, The process at which opening is formed in said insulating resin layer, and said a part of metal wiring layer is exposed, It is the manufacture approach of the semiconductor device which consists of the process which forms the metal layer which connects said exposed metal wiring layer and said insulating resin layer front face, a process which forms projection resin on said opening, and a process which forms the metal coat which connects electrically the front face and said metal layer of said projection resin. Moreover, the process which forms projection resin is a process which applies a photopolymer all over the semiconductor device in which opening was formed, and forms projection resin with a photographic method. Moreover, the process which forms projection resin is a process which applies insulating resin all over the semiconductor device in which opening was formed, and forms projection resin by the sandblasting method. Moreover, the process which forms projection resin is a process which applies insulating resin all over the semiconductor device in which opening was formed, and forms projection resin by the etching method. Moreover, the process which forms projection resin is a process which forms a metal projection electrode by supplying soldering paste or flux to opening, and carrying and fusing a solder ball.

[0014] Moreover, the manufacture approach of the semiconductor device of this invention is the manufacture approach of the semiconductor device which consists of a

process which forms the metal layer which connects the process which forms the metal wiring layer which extended from the electrode of a semiconductor device and said semiconductor device, the process which apply photosensitive insulation resin on said semiconductor device and said metal wiring layer, and form projection resin with a photographic method, the process which form opening which repeats a photographic method and reaches said metal wiring layer at said insulating resin layer, and said metal wiring layer and said projection resin. Moreover, it is the manufacture approach of the semiconductor device which forms a projection electrode and opening by the sandblasting method. Moreover, it is the manufacture approach of the semiconductor device which forms a projection electrode and opening by the etching method.

[0015] By said configuration, since the semiconductor device of this invention has prepared the insulating resin layer of a low elastic modulus, when it carries a semiconductor device in the resin circuit board, it can ease the heat stress concerning the projection polar zone by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board. Therefore, a closure resin impregnation process is [after carrying a semiconductor device in the resin circuit board] unnecessary like before. Moreover, since closure resin is not used like before, connection solder can be fused and a semiconductor device can be easily removed from the resin circuit board by heat treating when a defect and a defect are discovered by the semiconductor device, it is advantageous also to productivity and a production cost target.

[0016] Moreover, since a resin projection is formed with a low elastic-modulus ingredient and the projection electrode is constituted, when it carries a semiconductor device in the resin circuit board, the heat stress concerning the projection polar zone by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board can be eased, and the dependability of substrate mounting can be raised.

[0017]

[Embodiment of the Invention] Hereafter, it explains, referring to a drawing about 1 operation gestalt of this invention.

[0018] Drawing 1 is the sectional view showing the semiconductor device in the 1st operation gestalt of this invention. As shown in drawing 1, the metal wiring layer 7 to which the semiconductor device of this operation gestalt extended from the semiconductor device electrode 6 on a semiconductor device 5 on the semiconductor device 5 is formed, and the metal layer 9 to which the insulating resin layer 8 is formed and connects electrically the front face and the metal wiring layer 7 of the insulating

resin layer 8 is formed on the semiconductor device 5. And projection resin 10 is formed as a projection member on the metal layer 9, and the metal coat 11 which connects electrically the projection resin 10 and metal layer 9 is formed.

[0019] That is, in the semiconductor device of this operation gestalt, while taking about wiring by the metal wiring layer 7 and the metal layer 9 from the semiconductor device electrode 6 on a semiconductor device 5 for external connection, the semiconductor device electrode 6 and the metal wiring layer 7 are protected by the insulating resin layer 8. And since a projection electrode is constituted, projection resin 10 is formed on the metal layer 9, the metal coat 11 is formed on the front face and the metal layer 9 of a substrate, conductivity is substantially given to projection resin, and the projection electrode (external electrode) is constituted.

[0020] Moreover, in the semiconductor device of this operation gestalt, in case the cross-section configuration of opening of the insulating resin layer 8 where projection resin 10 was formed carries out substrate mounting as the dependability of the metal layer after the metal layer 9 formed in the front face forms and forms, and a semiconductor device, in consideration of the dependability of connection between the external electrode of a semiconductor device, and a substrate, it makes the shape of a taper and is formed in the cross-section configuration.

[0021] as the metal wiring layer 7 which extended from the semiconductor device electrode 6 in this operation gestalt -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- it has the two-layer structure used as a metal. In addition, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu (copper), nickel (nickel), Au (gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient.

[0022] The semiconductor device constituted as mentioned above is explained hereafter, making drawing 2 reference about the manufacture approach.

[0023] The semi-conductor wafer 12 with which each semiconductor device was formed is first shown in drawing 2 (a), and the semiconductor device electrode 6 is formed.

[0024] Next, as shown in drawing 2 (b), a metal layer is formed all over the semi-conductor wafer 12 top by a vacuum deposition method, the sputtering method, the CVD method, the nonelectrolytic plating method, or the electrolysis galvanizing method, and the metal wiring layer 7 which extended from the semiconductor device electrode 6 by etching a metal layer by using etching resist as a mask is formed. here -- as an example of the metal wiring layer 7 -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- the two-layer structure used as the metal was used. Moreover, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu

(copper), nickel (nickel), Au(gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient.

[0025] Next, as shown in drawing 2 (c), a part of metal wiring layer 7 is exposed, and the insulating resin layer 8 is formed so that the configuration of an exposed part (opening) may become taper-like. With this operation gestalt, using photosensitive polyimide as an example of formation of the insulating resin layer 8, patterning of the insulating resin layer 8 was carried out using the photographic method, and a part of metal wiring layer 7 was exposed. Moreover, what is necessary is just to have the elastic modulus of the range which can ease the heat stress concerning the projection polar zone, although it is desirable that it is a low elastic modulus (2 or less [3000kg //mm l) as an insulating material of the insulating resin layer 8 although an epoxy resin etc. may be used. Moreover, a part of metal wiring layer 7 may be exposed, using the etching method, the sandblasting method, the plasma method, etc. as the formation approach. In addition, as for the thickness of the insulating resin layer 8, it is desirable that it is more than [from the purpose] 10 [μm].

[0026] Next, as shown in drawing 2 (d), a metal layer is formed all over the semi-conductor wafer 12 top by a vacuum deposition method, the sputtering method, the CVD method, the nonelectrolytic plating method, or the electrolysis galvanizing method, and the metal layer 9 which connects the metal wiring layer 7 with insulating resin layer 8 front face electrically is formed by etching a metal layer by using etching resist as a mask. here -- as an example of the metal layer 9 -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- the two-layer structure used as the metal was used. Moreover, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu (copper), nickel (nickel), Au(gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient. Moreover, since the configuration of the insulating resin layer 8 of a part where the opening 7 of insulating resin, i.e., the metal wiring layer of a substrate, is exposed is formed in the shape of a taper, the metal layer 9 can be formed by uniform thickness.

[0027] Next, as shown in drawing 2 (e), projection resin 10 is formed by print processes on the metal layer 9 of opening of the insulating resin layer 8. Polyimide resin was used as an example of the projection resin 10 which is a projection member here. Moreover, an epoxy resin etc. may be used as an ingredient of projection resin 10, and projection resin 10 may be formed using the etching method, the sandblasting method, the plasma method, etc. In addition, the formation location of projection resin 10 does not necessarily need to be opening of the insulating resin layer 8, and should just be on the metal layer 9.

[0028] Next, as shown in drawing 2 (f), a metal layer is formed all over the semi-conductor wafer 12 top by a vacuum deposition method, the sputtering method, the CVD method, the nonelectrolytic plating method, or the electrolysis galvanizing method, and the metal coat 11 which connects the metal layer 9 with projection resin 10 front face electrically is partially formed by etching a metal layer by using etching resist as a mask. Formation of the metal coat 11 is for using projection resin 10 as an external electrode, and is electrically connected with the semiconductor device electrode 6 through the metal layer 9 and the metal wiring layer 7. here -- as an example of the metal coat 11 -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- the two-layer structure used as the metal was used. Moreover, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu (copper), nickel (nickel), Au(gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient. Moreover, instead of being projection resin as a member which constitutes a projection electrode, although projection resin 10 was used, itself may use a metal ball with conductivity and the projection formation by metal plating is sufficient as this operation gestalt.

[0029] Next, as shown in drawing 2 (g), a dicing saw divides into each semiconductor device along the scribe line (not shown) formed in the semi-conductor wafer 12 as division of each semiconductor device of the semi-conductor wafer 12. The metal wiring layer 7 which extended from the semiconductor device electrode 6 on the semiconductor device 5 as shown in drawing 1 by dividing is formed. On the metal wiring layer 7 The insulating resin layer 8, The semiconductor device with which the metal layer 9 which connected with the front face of the metal wiring layer 7 and the insulating resin layer 8 electrically was formed, projection resin 10 was formed in opening of the insulating resin layer 8, and the metal coat 11 which the front face and the metal layer 9 of projection resin 10 connected electrically was formed is formed.

[0030] Since the insulating resin layer 8 of a low elastic modulus is formed and the heat stress concerning the projection polar zone (projection resin 10+ metal coat 11) by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board can be eased with this operation gestalt when it carries a semiconductor device in the resin circuit board, a closure resin impregnation process is [after carrying a semiconductor device in the resin circuit board] unnecessary like before. Moreover, since closure resin is not used, connection solder can be fused and a semiconductor device can be easily removed from the resin circuit board by heat-treating when a defect and a defect are discovered by the semiconductor device which carried out substrate mounting, it is advantageous also to productivity and a production cost target.

[0031] Next, it explains, referring to a drawing about the 2nd operation gestalt of this invention: Drawing 3 is the sectional view showing the semiconductor device in this operation gestalt. As shown in drawing 3, the metal wiring layer 15 in which the semiconductor device of this operation gestalt extended from the semiconductor device electrode 14 on a semiconductor device 13 is formed, and the metal layer 17 to which the insulating resin layer 16 with projection structure is formed, and connects electrically height 16a of the insulating resin layer 16 and the metal wiring layer 15 is formed on the semiconductor device. Moreover, in case the configuration of height 16a constituted by the insulating resin layer 16 carries out substrate mounting as the dependability of the metal layer 17 after the metal layer 17 formed in the front face forms and forms, and a semiconductor device, in consideration of the dependability of connection between the external electrode of a semiconductor device, and a substrate, in the cross-section configuration, it makes the shape of a taper and is formed.

[0032] The manufacture approach is hereafter explained about the semiconductor device constituted as mentioned above.

[0033] Like the 1st above mentioned operation gestalt, a metal layer is formed all over a semi-conductor wafer top all over a semi-conductor wafer by a vacuum deposition method, the sputtering method, the CVD method, the nonelectrolytic plating method, or the electrolysis galvanizing method, and the metal wiring layer 15 which extended from the semiconductor device electrode 14 by etching a metal layer by using etching resist as a mask is formed. here -- as an example of the metal wiring layer 15 -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- the two-layer structure used as the metal was used. Moreover, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu (copper), nickel (nickel), Au(gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient.

[0034] Next, the insulating resin layer 16 which a part of metal wiring layer 15 was exposed, and prepared height 16a is formed. With this operation gestalt, height 16a was formed using the photographic method, the photographic method was repeated again, using photosensitive polyimide as formation of the insulating resin layer 16, and a part of metal wiring layer 15 was exposed. Moreover, as an ingredient which constitutes the insulating resin layer 16, although an epoxy resin etc. may be used, it is desirable that it is a low elastic modulus (2 or less [1000kg //mm]). A part of height 16a and metal wiring layer 15 may be exposed using the etching method, the sandblasting method, the plasma method, etc. as the formation approach. In addition, it is more desirable for the thickness of the insulating resin layer 16 to be more than 10 [mum]. Next, a metal layer is formed all over a semi-conductor wafer top all over a semi-conductor wafer by a

vacuum deposition method, the sputtering method, the CVD method, the nonelectrolytic plating method, or the electrolysis galvanizing method, and the metal wiring layer 15 which extended by etching a metal layer by using etching resist as a mask from the semiconductor device electrode 14 to height 16a of the insulating resin layer 16 is formed. here -- as an example of the metal wiring layer 15 -- Ti (titanium) -- an adhesion metal and Cu (copper) -- a conductor -- the two-layer structure used as the metal was used. Moreover, as a metallic material, Ti (titanium), Cr (chromium), TiW (titanium tungsten), Cu (copper), nickel (nickel), Au (gold), Pd (palladium), Ag (silver), etc. may be used, and the combination of each metal is sufficient.

[0035] Next, as division of a semi-conductor wafer of each semiconductor device, a dicing saw divides a semiconductor device separately along the scribe line formed in the semi-conductor wafer, the metal wiring layer 15 which extended from the semiconductor device electrode 14 on a semiconductor device 13 is formed, and the semiconductor device with which the insulating resin layer 16 equipped with the height on the metal wiring layer 15 and the metal layer 17 which extends from the metal wiring layer 15 to the height of the insulating resin layer 16 were formed is formed.

[0036] As mentioned above, in the semiconductor device shown with the operation gestalt of this invention, with the 1st operation gestalt, since the insulating resin layer 8 is formed, when a semiconductor device is carried in the resin circuit board, the heat stress concerning the projection polar zone (projection resin 10+ metal coat 11) by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board can be eased, and the dependability of connection of substrate mounting can be raised. With the 2nd operation gestalt, since the projection electrode itself consists of a height constituted with insulating resin, when a semiconductor device is carried in the resin circuit board, the heat stress concerning the projection polar zone (height 16a+ metal layer 17) by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board can be eased, and the dependability of connection of substrate mounting can be raised.

[0037] Moreover, although there is a difference on the structure of that to which the configuration of a projection electrode carried out heteroplasia of the projection resin, and the thing which really formed projection resin with insulating resin, and a manufacture method of construction in the 1st operation gestalt and the 2nd operation gestalt The place made into the aim can ease the heat stress concerning the projection polar zone by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board, when the insulating resin layer of a low elastic modulus is prepared and it carries a semiconductor device in the resin circuit board.

[0038]

[Effect of the Invention] As explained above, since the insulating resin layer of a low elastic modulus is prepared, when it carries a semiconductor device in the resin circuit board, by this invention, the heat stress concerning the projection polar zone by the inequality of the heat ray expansion coefficient of a semiconductor device and the resin circuit board can be eased. Therefore, a closure resin impregnation process is [after carrying a semiconductor device in the resin circuit board] unnecessary like before. Moreover, since closure resin is not used, connection solder can be fused and a semiconductor device can be easily removed from the resin circuit board by heat treating when a defect and a defect are discovered by the semiconductor device, it is advantageous also to productivity and a production cost target.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view showing the semiconductor device in 1 operation gestalt of this invention

[Drawing 2] The sectional view showing the manufacture approach of the semiconductor device in 1 operation gestalt of this invention

[Drawing 3] The sectional view showing the semiconductor device concerning 1 operation gestalt of this invention

[Drawing 4] The sectional view showing the conventional semiconductor device

[Description of Notations]

1 Semiconductor Device

2 Semiconductor Device Electrode

3 Metal Layer

4 Projection Electrode

5 Semiconductor Device

6 Semiconductor Device Electrode

7 Metal Wiring Layer

8 Insulating Resin Layer

9 Metal Layer

10 Projection Resin

11 Metal Coat

12 Semi-conductor Wafer

13 Semiconductor Device

14 Semiconductor Device Electrode

15 Metal Wiring Layer

16 Insulating Resin Layer

16a Height

17 Metal Layer

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307563

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/92

21/60

21/92

6 0 2 L

3 1 1 Q

6 0 2 D

6 0 2 Z

審査請求 未請求 請求項の数13 O L (全 7 頁)

(21) 出願番号

特願平10-107617

(22) 出願日

平成10年(1998)4月17日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

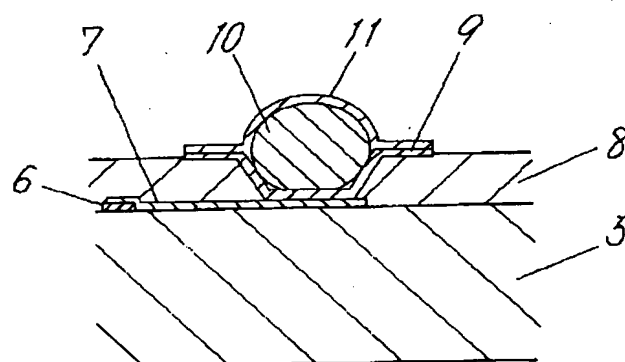
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 フリップチップ実装の半導体装置において、樹脂封止後、半導体素子の故障が発見された場合、封止樹脂と樹脂回路基板の密着が強固なため、リペアができないという課題があった。

【解決手段】 半導体素子5上の半導体素子電極6から延在した金属配線層7と、半導体素子5および金属配線層7上に形成された絶縁樹脂層8と、突起電極が形成された半導体装置であり、この構成により基板実装の際、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部にかかる熱ストレスを緩和することができるものである。



(2)

1

【特許請求の範囲】

【請求項1】 半導体素子と前記半導体素子の電極から延在した金属配線層と、前記半導体素子および金属配線層上に形成された絶縁樹脂層と、前記絶縁樹脂層表面と前記金属配線層を電氣的に接続した金属層と、前記金属層上に形成された突起部材と、前記突起部材の表面と前記金属層とを電氣的に接続する金属コートを備えたことを特徴とする半導体装置。

【請求項2】 突起部材が金属ボールであることを特徴とする請求項1に記載の半導体装置。

【請求項3】 突起部材が金属めっきであることを特徴とする請求項1に記載の半導体装置。

【請求項4】 突起部材と絶縁樹脂層とが同一の低弾性率の樹脂よりなることを特徴とする請求項1に記載の半導体装置。

【請求項5】 半導体素子と前記半導体素子の電極から延在した金属配線層と、前記金属配線層の一部を露出させ前記金属配線層上に形成され、表面に突起を有した絶縁樹脂層と、前記突起樹脂の表面と前記絶縁樹脂層から露出した金属配線層を電氣的に接続する金属層を備えたことを特徴とする半導体装置。

【請求項6】 半導体素子と前記半導体素子の電極から延在した金属配線層を形成する工程と、前記半導体素子および前記金属配線層上に絶縁樹脂層を形成する工程と、前記絶縁樹脂層に開口部を形成し、前記金属配線層の一部を露出させる工程と、前記露出した金属配線層と前記絶縁樹脂層表面とを接続する金属層を形成する工程と、前記開口部上に突起樹脂を形成する工程と、前記突起樹脂の表面と前記金属層を電氣的に接続する金属コートを形成する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項7】 突起樹脂を形成する工程は、開口部を形成した半導体素子全面に感光性樹脂を塗布し、写真法で突起樹脂を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 突起樹脂を形成する工程は、開口部を形成した半導体素子全面に絶縁樹脂を塗布し、サンドブラスト法で突起樹脂を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】 突起樹脂を形成する工程は、開口部を形成した半導体素子全面に絶縁樹脂を塗布し、エッチング法で突起樹脂を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項10】 突起樹脂を形成する工程は、はんだペーストあるいはフラックスを開口部に供給し、はんだボールを搭載、溶融することで金属突起電極を形成する工程であることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項11】 半導体素子と前記半導体素子の電極から延在した金属配線層を形成する工程と、前記半導体素

2

子および前記金属配線層上に感光性絶縁樹脂を塗布し、写真法により突起樹脂を形成する工程と、写真法を繰り返し前記絶縁樹脂層に前記金属配線層に達する開口部を形成する工程と、前記金属配線層と前記突起樹脂とを接続する金属層を形成する工程とよりなることを特徴とする半導体装置の製造方法。

【請求項12】 突起電極および開口部をサンドブラスト法にて形成することを特徴とする請求項11に記載の半導体装置の製造方法。

10 【請求項13】 突起電極および開口部をエッチング法にて形成することを特徴とする請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体の集積回路部を保護し、かつ外部装置と半導体素子の電氣的な接続を確保し、さらにもっとも高密度な実装を可能とした半導体装置およびその製造方法に関するものである。そして本発明の半導体装置により、情報通信機器、事務用電子機器等の小型化を容易にするものである。

【0002】

【従来の技術】近年、半導体装置及びその製造方法は電子機器の小型化、高機能化に伴い、小型化、高密度化、高速化を要求されるようになり、たとえばC4 (Controlled Collapse Chip Connection) といったいわゆるフリップチップボンディングを用いた実装技術が開発されている。

20 【0003】以下、従来のC4と呼ばれる半導体装置およびその製造方法について断面図を参照しながら説明する。

【0004】図4は、従来のC4と呼ばれる実装技術を用いた半導体装置の断面図である。図4において、1は半導体素子、2は半導体素子電極、3は金属層、4は突起電極である。

【0005】図4に示すように、従来の半導体装置は、半導体素子1上の半導体素子電極2上に金属層3が形成され、前記金属層上に突起電極4が形成された構造である。

【0006】次に従来の半導体装置の製造方法について、同様に図4の断面図を参照しながら説明する。

【0007】まず複数の半導体素子1が半導体ウエハ(図示せず)上に形成され、個々の半導体素子1上には複数の半導体素子電極2が形成されている。そしてスパッタリング法により半導体ウエハ全面に金属層3を形成する。次にめっきレジストを塗布し、写真法により半導体素子電極2に相当する位置を開口する。次に電解めっき法によりSn(錫)、Pb(鉛)といった金属を開口位置の金属層3上に形成する。めっきレジストを除去後、めっき金属をレジストとして金属層3をエッチングにより除去する。次に半導体ウエハ全面にフラックスを

50

(3)

3

塗布し、リフローすることにより、突起電極4を形成する。

【0008】以上のような工法により従来の半導体装置が製造されるものである。

【0009】

【発明が解決しようとする課題】しかしながら前記従来の半導体装置では、半導体装置を樹脂回路基板に搭載する場合、突起電極部に対して、樹脂回路基板と半導体装置との熱線膨張係数の不一致による熱ストレスが発生するため、樹脂回路基板と半導体装置との間隙に封止樹脂を注入し、突起電極部にかかる熱ストレスを緩和しなければならなかった。この場合、半導体装置と樹脂回路基板との間隙が狭く、封止樹脂の注入が非常に困難であり、また個々の半導体素子を個別に封止するため、生産性が悪いという課題を有していた。さらに樹脂封止後、半導体装置の故障、不良が発見された場合、封止樹脂と樹脂回路基板との密着が強固なため故障、不良のあった半導体装置を樹脂回路基板から取り外すのは困難であり、仮に取り外せた場合であっても樹脂回路基板を損傷させてしまうため、その樹脂回路基板への半導体装置の再搭載は不可能であり、生産性、生産コスト上の課題があった。

【0010】本発明は前記従来の課題を解決するもので、半導体装置の生産性に着目し、またリペアを可能として、半導体素子上に絶縁樹脂層を設けることで半導体素子と樹脂回路基板の熱線膨張係数の不一致による熱ストレスを緩和できる半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この目的を達成するために、本発明の半導体装置は、半導体素子と前記半導体素子の電極から延在した金属配線層と、前記半導体素子および金属配線層上に形成された絶縁樹脂層と、前記絶縁樹脂層表面と前記金属配線層を電気的に接続した金属層と、前記金属層上に形成された突起部材と、前記突起部材の表面と前記金属層とを電気的に接続する金属コートを用意した半導体装置である。また、突起部材が金属ボールである半導体装置である。また、突起部材が金属めっきである半導体装置である。また、突起部材と絶縁樹脂層とが同一の低弾性率の樹脂よりなる半導体装置である。

【0012】さらに本発明は、半導体素子と前記半導体素子の電極から延在した金属配線層と、前記金属配線層の一部を露出させ前記金属配線層上に形成され、表面に突起を有した絶縁樹脂層と、前記突起樹脂の表面と前記絶縁樹脂層から露出した金属配線層を電気的に接続する金属層を用意した半導体装置である。

【0013】製造方法においては、半導体素子と前記半導体素子の電極から延在した金属配線層を形成する工程と、前記半導体素子および前記金属配線層上に絶縁樹脂

4

層を形成する工程と、前記絶縁樹脂層に開口部を形成し、前記金属配線層の一部を露出させる工程と、前記露出した金属配線層と前記絶縁樹脂層表面とを接続する金属層を形成する工程と、前記開口部に突起樹脂を形成する工程と、前記突起樹脂の表面と前記金属層を電気的に接続する金属コートを形成する工程とよりなる半導体装置の製造方法である。また、突起樹脂を形成する工程は、開口部を形成した半導体素子全面に感光性樹脂を塗布し、写真法で突起樹脂を形成する工程である。また、突起樹脂を形成する工程は、開口部を形成した半導体素子全面に絶縁樹脂を塗布し、サンドブラスト法で突起樹脂を形成する工程である。また、突起樹脂を形成する工程は、開口部を形成した半導体素子全面に絶縁樹脂を塗布し、エッチング法で突起樹脂を形成する工程である。また、突起樹脂を形成する工程は、はんだペーストあるいはフラックスを開口部に供給し、はんだボールを搭載、熔融することで金属突起電極を形成する工程である。

【0014】また本発明の半導体装置の製造方法は、半導体素子と前記半導体素子の電極から延在した金属配線層を形成する工程と、前記半導体素子および前記金属配線層上に感光性絶縁樹脂を塗布し、写真法により突起樹脂を形成する工程と、写真法を繰り返し前記絶縁樹脂層に前記金属配線層に達する開口部を形成する工程と、前記金属配線層と前記突起樹脂とを接続する金属層を形成する工程とよりなる半導体装置の製造方法である。また、突起電極および開口部をサンドブラスト法にて形成する半導体装置の製造方法である。また、突起電極および開口部をエッチング法にて形成する半導体装置の製造方法である。

【0015】前記構成により、本発明の半導体装置は、低弾性率の絶縁樹脂層を設けているので、半導体装置を樹脂回路基板に搭載する場合、半導体装置と樹脂回路基板の熱線膨張係数の不一致による突起電極部にかかる熱ストレスを緩和することができる。そのため、従来のように半導体装置を樹脂回路基板に搭載後、封止樹脂注入工程が不要である。また、従来のように封止樹脂を用いていないので、半導体装置に欠陥、不良が発見された場合には、加熱処理することで、接続部はんだを熔融し、容易に樹脂回路基板から半導体装置を取り外すことができるため、生産性、生産コスト的にも有利である。

【0016】また低弾性率材料により樹脂突起を形成し、突起電極を構成しているため、半導体装置を樹脂回路基板に搭載する場合、半導体装置と樹脂回路基板の熱線膨張係数の不一致による突起電極部にかかる熱ストレスを緩和することができ、基板実装の信頼性を向上させることができる。

【0017】

【発明の実施の形態】以下、本発明の一実施形態について図面を参照しながら説明する。

(4)

5

【0018】図1は本発明の第1の実施形態における半導体装置を示す断面図である。図1に示すように本実施形態の半導体装置は、半導体素子5上には、半導体素子5上の半導体素子電極6から延在した金属配線層7が設けられ、その半導体素子5上に絶縁樹脂層8が設けられ、絶縁樹脂層8の表面と金属配線層7とを電氣的に接続する金属層9が設けられている。そして、その金属層9上に突起部材として突起樹脂10が設けられ、その突起樹脂10と金属層9とを電氣的に接続する金属コート11が形成されているものである。

【0019】すなわち、本実施形態の半導体装置では、半導体素子5上の半導体素子電極6から外部接続のために、金属配線層7、金属層9により配線の引き回しを行なうとともに、絶縁樹脂層8により半導体素子電極6、金属配線層7を保護している。そして突起電極を構成するために、金属層9上に突起樹脂10を形成して、その表面および下地の金属層9上に金属コート11を形成して、実質的に突起樹脂に導電性を持たせ、突起電極（外部電極）を構成しているものである。

【0020】また本実施形態の半導体装置において、突起樹脂10が設けられた絶縁樹脂層8の開口部の断面形状は、その表面に形成される金属層9の形成、および形成した後の金属層の信頼性、また半導体装置として基板実装する際、半導体装置の外部電極と基板との接続の信頼性を考慮して、断面形状ではテーパ状をなして形成されているものである。

【0021】本実施形態において半導体素子電極6から延在した金属配線層7としては、Ti（チタン）を密着金属、Cu（銅）を導体金属として用いた2層構造を有している。なお、金属材料としてはTi（チタン）、Cr（クロム）、TiW（チタン・タングステン）、Cu（銅）、Ni（ニッケル）、Au（金）、Pd（パラジウム）、Ag（銀）などを用いても構わないし、それぞれの金属の組み合わせでも構わない。

【0022】以上のように構成された半導体装置について、以下、その製造方法について図2を参照しながら説明する。

【0023】まず図2（a）には、個々の半導体素子が形成された半導体ウエハ12を示しており、半導体素子電極6が形成されている。

【0024】次に図2（b）に示すように、真空蒸着法、スパッタリング法、CVD法、無電解めっき法あるいは電解めっき法により半導体ウエハ12上全面に金属層を形成し、エッチングレジストをマスクとして金属層をエッチングすることで半導体素子電極6から延在した金属配線層7を形成する。ここで金属配線層7の一例としては、Ti（チタン）を密着金属、Cu（銅）を導体金属とした2層構造を用いた。また金属材料としてはTi（チタン）、Cr（クロム）、TiW（チタン・タングステン）、Cu（銅）、Ni（ニッケル）、Au

6

（金）、Pd（パラジウム）、Ag（銀）などを用いても構わないし、それぞれの金属の組み合わせでも構わない。

【0025】次に図2（c）に示すように、金属配線層7の一部を露出させ、かつ露出部分（開口部）の形状がテーパ状になるように絶縁樹脂層8を形成する。本実施形態では絶縁樹脂層8の形成の一例として、感光性ポリイミドを用い、写真法を用いて絶縁樹脂層8をパターニングして金属配線層7の一部を露出させた。また絶縁樹脂層8の絶縁材料としては、エポキシ樹脂などを用いても構わないが低弾性率（3000kg/mm²以下）であることが望ましいが、突起電極部にかかる熱ストレスを緩和することができる範囲の弾性率を有していればよい。また、形成方法としては、エッチング法、サンドブラスト法、プラズマ法などを用いて金属配線層7の一部を露出しても構わない。なお絶縁樹脂層8の厚みは、その目的から10[μm]以上であることが望ましい。

【0026】次に図2（d）に示すように、真空蒸着法、スパッタリング法、CVD法、無電解めっき法、あるいは電解めっき法により半導体ウエハ12上全面に金属層を形成し、エッチングレジストをマスクとして金属層をエッチングすることで、絶縁樹脂層8表面と金属配線層7を電氣的に接続する金属層9を形成する。ここで金属層9の一例としては、Ti（チタン）を密着金属、Cu（銅）を導体金属とした2層構造を用いた。また金属材料としてはTi（チタン）、Cr（クロム）、TiW（チタン・タングステン）、Cu（銅）、Ni（ニッケル）、Au（金）、Pd（パラジウム）、Ag（銀）などを用いても構わないし、それぞれの金属の組み合わせでも構わない。また、絶縁樹脂の開口部、すなわち下地の金属配線層7の露出している部分の絶縁樹脂層8の形状をテーパ状に形成しているのので、均一な厚みで金属層9を形成することができる。

【0027】次に図2（e）に示すように、絶縁樹脂層8の開口部の金属層9上に印刷法により突起樹脂10を形成する。ここで突起部材である突起樹脂10の一例としては、ポリイミド樹脂を用いた。また突起樹脂10の材料としてはエポキシ樹脂などを用いても構わないし、エッチング法、サンドブラスト法、プラズマ法などを用いて突起樹脂10を形成しても構わない。なお、突起樹脂10の形成位置は、必ずしも絶縁樹脂層8の開口部である必要はなく、金属層9上であればよい。

【0028】次に図2（f）に示すように、真空蒸着法、スパッタリング法、CVD法、無電解めっき法、あるいは電解めっき法により半導体ウエハ12上全面に金属層を形成し、エッチングレジストをマスクとして金属層9を電氣的に接続する金属コート11を部分的に形成する。金属コート11の形成は、突起樹脂10を外部電極とするためのものであり、金属層9、金属配線層7を介

(5)

7

して半導体素子電極6と電氣的に接続するものである。ここで金属コート11の一例としては、Ti(チタン)を密着金属、Cu(銅)を導体金属とした2層構造を用いた。また金属材料としてはTi(チタン)、Cr(クロム)、TiW(チタン・タングステン)、Cu(銅)、Ni(ニッケル)、Au(金)、Pd(パラジウム)、Ag(銀)などを用いても構わないし、それぞれの金属の組み合わせでも構わない。また、本実施形態は、突起電極を構成する部材として、突起樹脂10を用いたが突起樹脂のかわりにそれ自体が導電性を有した金属ボールを用いても構わないし、金属めっきによる突起形成でも構わない。

【0029】次に図2(g)に示すように、半導体ウエハ12の個々の半導体素子の分割として、半導体ウエハ12に形成されたスクライブライン(図示せず)に沿って、ダイシングソーにより個々の半導体素子に分割する。分割することにより、図1に示したような、半導体素子5上の半導体素子電極6から延在した金属配線層7が設けられ、その金属配線層7上に絶縁樹脂層8と、金属配線層7と絶縁樹脂層8の表面と電氣的に接続した金属層9が設けられ、絶縁樹脂層8の開口部に突起樹脂10が形成され、突起樹脂10の表面と、金属層9とが電氣的に接続した金属コート11が形成された半導体装置が形成される。

【0030】本実施形態では、低弾性率の絶縁樹脂層8を設けてあるので、半導体装置を樹脂回路基板に搭載する場合、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部(突起樹脂10+金属コート11)にかかる熱ストレスを緩和することができるため、従来のように半導体装置を樹脂回路基板に搭載後、封止樹脂注入工程が不要である。また、封止樹脂を用いていないので、基板実装した半導体装置に欠陥、不良が発見された場合には、加熱処理することで、接続部はんだを溶融し、容易に樹脂回路基板から半導体装置を取り外すことができるため、生産性、生産コスト的にも有利である。

【0031】次に本発明の第2の実施形態について図面を参照しながら説明する。図3は本実施形態における半導体装置を示す断面図である。図3に示すように本実施形態の半導体装置は、半導体素子13上の半導体素子電極14から延在した金属配線層15が設けられ、その半導体素子上に突起構造を有した絶縁樹脂層16が設けられ、絶縁樹脂層16の突起部16aと金属配線層15とを電氣的に接続する金属層17が形成されているものである。また、絶縁樹脂層16により構成される突起部16aの形状は、その表面に形成される金属層17の形成、および形成した後の金属層17の信頼性、また半導体装置として基板実装する際、半導体装置の外部電極と基板との接続の信頼性を考慮して、断面形状ではテーパ状をなして形成されているものである。

8

【0032】以上のように構成された半導体装置について以下、その製造方法について説明する。

【0033】前記した第1の実施形態と同様に、半導体ウエハ全面に真空蒸着法、スパッタリング法、CVD法、無電解めっき法あるいは電解めっき法により半導体ウエハ上全面に金属層を形成し、エッチングレジストをマスクとして金属層をエッチングすることで半導体素子電極14から延在した金属配線層15を形成する。ここで金属配線層15の一例としては、Ti(チタン)を密着金属、Cu(銅)を導体金属とした2層構造を用いた。また金属材料としてはTi(チタン)、Cr(クロム)、TiW(チタン・タングステン)、Cu(銅)、Ni(ニッケル)、Au(金)、Pd(パラジウム)、Ag(銀)などを用いても構わないし、それぞれの金属の組み合わせでも構わない。

【0034】次に金属配線層15の一部が露出し、かつ突起部16aを設けた絶縁樹脂層16を形成する。本実施形態では絶縁樹脂層16の形成として、感光性ポリイミドを用い、写真法を用いて突起部16aを形成し、再び写真法を繰り返し、金属配線層15の一部を露出させた。また絶縁樹脂層16を構成する材料としては、エポキシ樹脂などを用いても構わないが、低弾性率(1000kg/mm²以下)であることが望ましい。形成方法としては、エッチング法、サンドブラスト法、プラズマ法などを用いて突起部16aおよび金属配線層15の一部を露出しても構わない。なお絶縁樹脂層16の厚みは、10[μm]以上であるほうが望ましい。次に半導体ウエハ全面に真空蒸着法、スパッタリング法、CVD法、無電解めっき法あるいは電解めっき法により半導体ウエハ上全面に金属層を形成し、エッチングレジストをマスクとして金属層をエッチングすることで半導体素子電極14から絶縁樹脂層16の突起部16aまで延在した金属配線層15を形成する。ここで金属配線層15の一例としては、Ti(チタン)を密着金属、Cu(銅)を導体金属とした2層構造を用いた。また金属材料としてはTi(チタン)、Cr(クロム)、TiW(チタン・タングステン)、Cu(銅)、Ni(ニッケル)、Au(金)、Pd(パラジウム)、Ag(銀)などを用いても構わないし、それぞれの金属の組み合わせでも構わない。

【0035】次に半導体ウエハの個々の半導体素子の分割として、半導体ウエハに形成されたスクライブラインに沿ってダイシングソーにより半導体素子を個々に分割し、半導体素子13上の半導体素子電極14から延在した金属配線層15が設けられ、その金属配線層15上の突起部を備えた絶縁樹脂層16と、金属配線層15から絶縁樹脂層16の突起部まで延在する金属層17が形成された半導体装置が形成される。

【0036】以上、本発明の実施形態で示した半導体装置において、第1の実施形態では、絶縁樹脂層8を設け

(6)

9

ているので、半導体装置を樹脂回路基板に搭載した場合、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部（突起樹脂10+金属コート11）にかかる熱ストレスを緩和することができ、基板実装の接続の信頼性を向上させることができる。第2の実施形態では、突起電極自体が絶縁樹脂により構成された突起部よりなるため、半導体装置を樹脂回路基板に搭載した場合、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部（突起部16a+金属層17）にかかる熱ストレスを緩和することができ、基板実装の接続の信頼性を向上させることができる。

【0037】また、第1の実施形態と第2の実施形態において、突起電極の構成は、突起樹脂を別形成したものと、突起樹脂を絶縁樹脂により一体形成したものの構造上、製造工法上の違いはあるが、その狙いとするところは、低弾性率の絶縁樹脂層を設け、半導体装置を樹脂回路基板に搭載する場合、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部にかかる熱ストレスを緩和することができるものである。

【0038】

【発明の効果】以上に説明したように、本発明では、低弾性率の絶縁樹脂層を設けているので、半導体装置を樹脂回路基板に搭載する場合、半導体装置と樹脂回路基板との熱線膨張係数の不一致による突起電極部にかかる熱ストレスを緩和することができる。そのため、従来のように半導体装置を樹脂回路基板に搭載後、封止樹脂注入工程が不要である。また、封止樹脂を用いていないので、半導体素子に欠陥、不良が発見された場合には、加熱処理することで、接続部はんだを熔融し、容易に樹脂

10

回路基板から半導体素子を取り外すことができるため、生産性、生産コスト的にも有利である。

【図面の簡単な説明】

【図1】本発明の一実施形態における半導体装置を示す断面図

【図2】本発明の一実施形態における半導体装置の製造方法を示す断面図

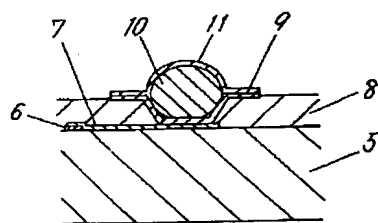
【図3】本発明の一実施形態にかかる半導体装置を示す断面図

10 【図4】従来の半導体装置を示す断面図

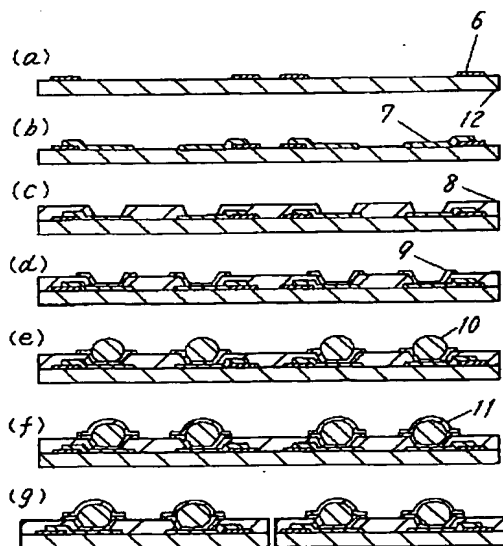
【符号の説明】

- 1 半導体素子
- 2 半導体素子電極
- 3 金属層
- 4 突起電極
- 5 半導体素子
- 6 半導体素子電極
- 7 金属配線層
- 8 絶縁樹脂層
- 20 9 金属層
- 10 突起樹脂
- 11 金属コート
- 12 半導体ウエハ
- 13 半導体素子
- 14 半導体素子電極
- 15 金属配線層
- 16 絶縁樹脂層
- 16a 突起部
- 17 金属層

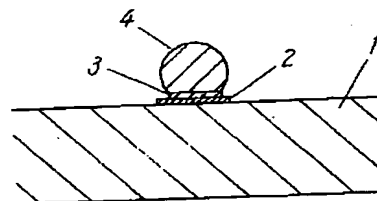
【図1】



【図2】

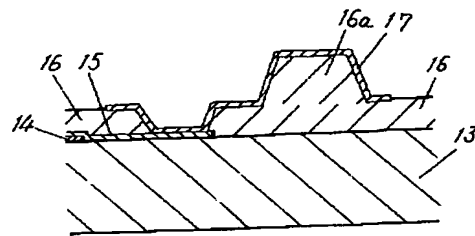


【図4】



(7)

【図3】



フロントページの続き

(72)発明者 隈川 隆博
大阪府高槻市幸町1番1号 松下電子工業
株式会社内